

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平8-37281

(43)公開日 平成8年(1996)2月6日

(51)IntCl⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 27/04

21/822

H01L 27/04

C

審査請求 未請求 請求項の数3 O.L (全6頁)

(21)出願番号 特願平6-170645

(22)出願日 平成6年(1994)7月22日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(71)出願人 000104722

キンセキ株式会社

東京都狛江市和泉本町1丁目8番1号

(72)発明者 村上 則夫

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 佐々木 邦夫

東京都狛江市和泉本町1丁目8番1号 キ
ンセキ株式会社内

(74)代理人 弁理士 柿本 恭成

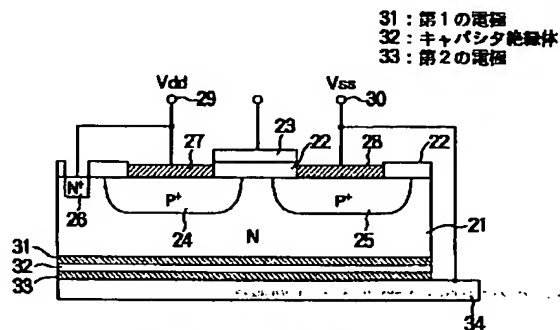
最終頁に続く

(54)【発明の名称】 バイパス・コンデンサ内蔵の半導体装置及びその製造方法

(57)【要約】

【目的】 半導体装置に内蔵されるバイパス・コンデンサの容量の拡大と製造工程の簡単化を図る。

【構成】 シリコン基板21の上面側にはMOSFET等の半導体素子が形成され、そのシリコン基板21の下面にバイパス・コンデンサが形成されている。バイパス・コンデンサは、シリサイド膜からなる第1の電極31と、高誘電体薄膜からなるキャパシタ絶縁膜32と、導電性膜からなる第2の電極33とで構成されている。第1の電極31は、シリコン基板21及び拡散層26を介して電源端子29に接続されている。第2の電極33は、導体34を介して接地端子30に接続されている。このバイパス・コンデンサにより、半導体装置内に発生した雑音を接地端子30側へ流出させる。



本発明の実施例の半導体装置

【特許請求の範囲】

【請求項1】 シリコン基板の一方の表面側に形成され、電源端子及び接地端子を有する半導体素子と、前記シリコン基板の他方の表面側に形成され、前記電源端子と前記接地端子との間に接続されたバイパス・コンデンサとを備え、

前記バイパス・コンデンサは、

前記シリコン基板の他方の表面に形成されたシリサイド膜からなる第1の電極と、

前記第1の電極における前記シリコン基板とは反対の面に被着された高誘電体薄膜からなるキャパシタ絶縁膜と、

前記キャパシタ絶縁膜における前記第1の電極とは反対の面に被着され、前記接地端子又は前記電源端子に接続された導電性膜からなる第2の電極とで、構成したことを特徴とするバイパス・コンデンサ内蔵の半導体装置。

【請求項2】 請求項1記載の第2の電極を導電性樹脂接着剤で形成し、該導電性樹脂接着剤によって前記キャパシタ絶縁膜における前記第1の電極とは反対の面を導体に接着する構成にしたことを特徴とするバイパス・コンデンサ内蔵の半導体装置。

【請求項3】 一方の表面側に複数の半導体素子が形成されたシリコンウエハの他方の表面側に、シリサイド膜からなる第1の電極を形成する第1の工程と、

前記第1の電極における前記シリコンウエハとは反対の面に、高誘電体薄膜からなるキャパシタ絶縁膜を被着する第2の工程と、

前記シリコンウエハを切断して複数のチップに分割する第3の工程と、

前記第3の工程で分割されたチップを、導電性樹脂接着剤からなる第2の電極によって導体に接着する第4の工程とを、

順に施すことを特徴とするバイパス・コンデンサ内蔵の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、大容量のコンデンサを内蔵したバイパス・コンデンサ内蔵の半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】図2は、パッケージに収納された従来の半導体装置の平面図である。この半導体装置は、例えば、GaAsマイクロ波の半導体集積回路（以下、ICという）がパッケージ1内に収納されており、そのパッケージ1の側面に入出力用のピン2、電源電位（以下、Vddという）用のピン3、及び接地電位（以下、Vssという）用のピン4が設けられている。Vdd用ピン3とVss用ピン4の間には、数百pFという大きな容量のバイパス・コンデンサ5が外付けされている。こ

のような外付けのバイパス・コンデンサ5を設けると、電源系の雑音を低減できる利点がある。ところが、大容量のバイパス・コンデンサ5を外付けすると、このパッケージ1をプリント基板に実装したとき、該プリント基板の配線とリードが不要な電波の放射源となって悪影響を及ぼす。そこで、バイパス・コンデンサ5を半導体装置内に内蔵して不要な輻射を抑える技術が、例えば次のような文献に記載されている。

【0003】文献1：ニッケイエレクトロニクス、[575]（1993-3-1）ニッケイマグロウヒル社、P64-65

文献2：ニッケイエレクトロニクス、[581]（1993-5-24）ニッケイマグロウヒル社、P78-100

図3は、前記文献1に記載された従来のバイパス・コンデンサ内蔵の半導体装置の回路図である。この半導体装置は、大容量バイパス・コンデンサを内蔵したGaAsマイクロ波IC（スイッチ付きアンプIC）を示すもので、2つのショットキーバリア形電界効果トランジスタ（以下、MESFETという）11、12を有し、それらが並列接続されている。一方のMESFET11のゲートには、スイッチ端子13及び高周波入力端子14が接続され、他方のMESFET12のゲートにも、スイッチ端子15及び高周波入力端子16が接続されている。MESFET11、12の共通接続されたドレインには、出力端子17が接続され、さらにそれらの共通接続されたソースとVssとの間に、抵抗18と800pFのバイパス・コンデンサ19とが並列接続されている。この半導体装置では、スイッチ端子13、15によってMESFET11又は12のいずれか一方を切り換え、高周波入力端子14、16から入力される高周波信号を増幅して出力端子17から出力するようになっている。

【0004】図2のように、バイパス・コンデンサ5を外付けすると、実装面積が大きくなる上に、該バイパス・コンデンサ5のリード・インダクタンスのためにMESFET11、12の利得が下がる。利得を稼ぐには、バイアス電流を上げざるを得ない。そこで、この図3の半導体装置では、バイパス・コンデンサ19を内蔵することにより、同一の利得を得るバイアス電流を低減している。しかも、次のような利点を有している。電源系を安定化できる。雑音に強くなる。雑音を出さなくなる。バイパス・コンデンサ5を外付けするためのVdd用ピン3とVss用ピン4を減らせるので、パッケージ1が小さくなる。外付けのバイパス・コンデンサ5が占めていた実装基板面積を小さくできる。さらに、プリント基板の配線パターンにそれ程気を使わなくて済む。バイパス・コンデンサ19を内蔵させる場合、前記文献2の第87頁の図7に記載されているように、例えば、シリコン基板の主表面にMESFET11、12を形成し、該

MESFET 11, 12をSiO₂膜で覆う。そして、そのSiO₂膜上に下部電極、キャパシタ絶縁膜及び上部電極を順に積層し、バイパス・コンデンサ19を形成している。キャパシタ絶縁膜として、例えば、比誘電率がSiN薄膜の約40倍の大きさの強誘電体であるBaSrTiO₃の薄膜を用い、大きな容量のバイパス・コンデンサ19を実現している。

【0005】

【発明が解決しようとする課題】しかしながら、従来のバイパス・コンデンサ内蔵の半導体装置とその製造方法では、シリコン基板の主表面に形成した半導体素子上に、SiO₂膜等の絶縁膜を介してバイパス・コンデンサ19を形成しているため、他の素子や配線等によって該バイパス・コンデンサ19の形成位置や形成面積に制約を受ける。そのため、バイパス・コンデンサ19の容量を大きくすることが難しく、しかも製造工程が複雑であるという問題がある。また、キャパシタ絶縁膜として強誘電体の薄膜を用いる場合、他の素子の特性に悪影響を及ぼさないような製造上の配慮が必要であるが、それによって製造工程がより複雑化するという問題がある。本発明は、前記従来技術が持っていた課題として、形成面積に制約を受けるために容量を充分大きくできないばかりか、製造工程が複雑になるといった点について解決したバイパス・コンデンサ内蔵の半導体装置とその製造方法を提供するものである。

【0006】

【課題を解決するための手段】前記課題を解決するために、第1の発明は、バイパス・コンデンサ内蔵の半導体装置において、シリコン基板の一方の表面側に形成され、電源端子及び接地端子を有する半導体素子と、前記シリコン基板の他方の表面側に形成され、前記電源端子と前記接地端子との間に接続されたバイパス・コンデンサとを備え、前記バイパス・コンデンサを次のように構成している。即ち、前記バイパス・コンデンサは、前記シリコン基板の他方の表面に形成されたシリサイド膜からなる第1の電極と、前記第1の電極における前記シリコン基板と反対の面に被着された高誘電体薄膜からなるキャパシタ絶縁膜と、前記キャパシタ絶縁膜における前記第1の電極とは反対の面に被着され、前記接地端子又は前記電源端子に接続された導体からなる第2の電極とで、構成されている。第2の発明は、第1の発明の第2の電極を導電性樹脂接着剤で形成し、該導電性樹脂接着剤によって前記キャパシタ絶縁膜における前記第1の電極と反対の面を導体に接着する構成にしている。第3の発明では、バイパス・コンデンサ内蔵の半導体装置の製造方法において、一方の表面側に複数の半導体素子が形成されたシリコンウエハの他方の表面側に、シリサイド膜からなる第1の電極を形成する第1の工程と、前記第1の電極における前記シリコンウエハとは反対の面に、高誘電体薄膜からなるキャパシタ絶縁膜を被着する第2

の工程とを施す。さらに、前記シリコンウエハを切断して複数のチップに分割する第3の工程と、前記第3の工程で分割されたチップを、導電性樹脂接着剤からなる第2の電極によって導体に接着する第4の工程とを、順に施すようにしている。

【0007】

【作用】第1の発明によれば、以上のようにバイパス・コンデンサ内蔵の半導体装置を構成したので、シリコン基板の他方の表面側に形成されたバイパス・コンデンサは、該半導体装置で発生する雑音を接地端子側へ流出させてその雑音を除去する働きがある。さらに、シリコン基板の他方の表面側に形成されたバイパス・コンデンサは、該シリコン基板の一方の表面側に形成された半導体素子等に対して構造上の悪影響を及ぼすことなく、形成位置の自由度や形成面積の拡大によって容量の増大を可能にする働きがある。第2の発明によれば、第2の電極は第1の電極と共にバイパス・コンデンサを構成する他方の電極としての機能の他に、導体に固定する際の接着機能を発揮する。第3の発明によれば、シリコンウエハの他方の表面側に第1の電極を形成する第1の工程と、その第1の電極にキャパシタ絶縁膜を被着する第2の工程とは、それらが複数のチップに分割される前に形成されることから、多数のバイパス・コンデンサの製造工程のばらつきの抑制と、製造工程の簡略化を図る働きがある。さらに、第2の電極によって導体に接着する第4の工程は、その第2の電極の形成工程と該第2の電極を導体に接着する接着工程との2つの機能を発揮して製造工程の簡略化を図る働きがある。従って、前記課題を解決できるのである。

【0008】

【実施例】

半導体装置

図1は、本発明の実施例を示すバイパス・コンデンサ内蔵の半導体装置の概略の断面図である。このバイパス・コンデンサ内蔵の半導体装置は、例えば高周波用のICの一部を示すもので、N形シリコン基板21を有している。シリコン基板21の一方の表面側(上面側)には、SiO₂膜等の絶縁膜22を介して、ポリシリコン等でできたゲート電極23が、エッチング等によって選択的に形成されている。ゲート電極23の両側には、そのゲート電極23をマスクにしてシリコン基板21内に、イオン打込み等によって不純物が拡散され、P⁺形ソース領域24及びP⁺形ドレイン領域25が形成されている。また、このシリコン基板21には、コンタクト用のN⁺拡散層26も形成されている。ソース領域24及びドレイン領域25上には、A1等によってソース電極27及びドレイン電極28が選択的に形成されている。N⁺拡散層26及びソース電極27は、例えばV_{dd}用の電源端子29に接続されている。ドレイン電極28は、例えばV_{ss}用の接地端子30に接続されている。これ

らのゲート電極23、ソース領域24、ドレイン領域25、ソース電極27、及びドレイン電極28により、PチャネルのMOS形電界効果トランジスタ（以下、MOSFETという）が構成され、そのMOSFETが図示しない絶縁膜に覆われるようになっている。

【0009】なお、ポリシリコンはゲート電極23として有効な材料であるが、素子の微細化につれ、そのシート抵抗が配線遅延の原因となって高速化への妨げとなる。そのため、ポリシリコンに代えて低抵抗材料である MoSi_2 、 TaSi_2 、 WSi_2 等のシリサイド（ケイ化合物）や、W、Mo等の高融点金属が、超大規模IC（以下、VLSIという）に適用されることもある。シリコン基板21の他方の表面（下面）には、低抵抗材料である MoSi_2 、 TaSi_2 、 WSi_2 等のシリサイド膜からなる第1の電極31が形成されている。第1の電極31の下面には、比誘電率が高い BaTi_3 、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ 、 SrTiO_3 等の高誘電体薄膜からなるキャパシタ絶縁膜32が被着されている。高誘電体薄膜として、例えば $\text{Ba}_{0.7}\text{Sr}_{0.3}\text{TiO}_3$ は、前記文献1に記載されているように、高い周波数（2GHz）まで高い比誘電率（300）を有し、キャパシタ絶縁膜32としての信頼性が確認されている。このキャパシタ絶縁膜32の下面は、Agペースト、Auペースト等の導電性樹脂接着剤からなる第2の電極33を介して、リードフレーム等の導体34に接着されている。これらの第1の電極31、キャパシタ絶縁膜32、及び第2の電極33により、バイパス・コンデンサが構成されている。導体34は、ワイヤ等によって接地端子30に接続されている。

【0010】このような構成のバイパス・コンデンサ内蔵の半導体装置では、電源端子29にVddを印加し、接地端子30をグランドに接続してVssに保持する。そして、ゲート電極23にある電圧を入力すれば、該ゲート電極23下のシリコン基板21の表面にチャネルが形成され、ソース領域24とドレイン領域25との間の導通状態、つまりソース電極27とドレイン電極28との間の導通状態が制御される。バイパス・コンデンサを構成する第1の電極31は、シリコン基板21及びN⁺拡散層26を介して電源端子29に接続され、第2の電極33が、導体34を介して接地端子30に接続されている。そのため、MOSFETが高周波電圧で動作するときに生じる雑音が、バイパス・コンデンサを介して接地端子30へ流れてその雑音が除去される。この半導体装置では、大容量のバイパス・コンデンサが電源端子29と接地端子30との間に接続されているので、電源系を安定化できる、雑音に強くなる、図示しない電源ピンと接地ピンを減らせる、該半導体装置を搭載するプリント基板の配線パターンにそれ程気を使わなくて済む、高周波や高利得の回路では寄生素子がなくなるといった利点がある。特に、本実施例では、シリコン基板21の下

面にバイパス・コンデンサが形成されているので、MOSFET等の素子や電源配線等によって形成位置や形成面積に制約を受けることなく、形成面積を大きくできるので、該バイパス・コンデンサの容量をより大きくできる。しかも、キャパシタ絶縁膜32として強誘電体の薄膜を用いる場合、他の素子特性に悪影響を及ぼさないような構造上の配慮が必要であるが、本実施例では、バイパス・コンデンサがシリコン基板21の下面に形成されているので、そのような配慮は必要でなく、半導体装置の構造を簡単化できるという利点がある。

【0011】半導体装置の製造方法

図4(a)～(e)は、図1に示すバイパス・コンデンサ内蔵の半導体装置の製造方法を示す概略の製造工程図であり、図1中の要素と共通の要素には共通の符号が付されている。このバイパス・コンデンサ内蔵の半導体装置は、例えば次のような工程(1)～(5)に従って製造される。

(1) 図4(a)の工程

両面が鏡面研磨されて洗浄されたシリコンウエハ20を用意する。このシリコンウエハ20の一方の表面（上面）側に、ホトリソグラフィ技術、エッチング技術等の半導体製造技術を用いて、図1に示すようなMOSFETといった各種の素子を多数形成する。

(2) 図4(b)の工程

シリコンウエハ20の他方の表面（下面）に形成された SiO_2 膜等を除去し、シリコンの生地を露出させる。蒸着やスパッタ等により、シリコンウエハ20の下面側に MoSi_2 、 TaSi_2 、 WSi_2 等のシリサイド膜からなる第1の電極31を被着する。

【0012】(3) 図4(c)の工程

第1の電極31の下面に、 BaTi_3 、 $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ 、 SrTiO_3 等の高誘電体薄膜からなるキャパシタ絶縁膜32を堆積する。

(4) 図4(d)の工程

シリコンウエハ20の上面に多数のICが配列形成されているので、これらをスクライビングによって切断し、複数のチップに分割する。シリコンウエハ20がチップに分割されると、図1に示すようなシリコン基板21となる。

(5) 図4(e)の工程

チップ下面のキャパシタ絶縁膜32に、Agペースト、Auペースト等の導電性樹脂接着剤からなる第2の電極33を被着し、それをリードフレーム等の導体34の所定の位置に接着してマウント（ダイボンディング）する。そして、図1の接地端子30と導体34とをワイヤ等で接続（ボンディング）した後、この組立てられた半導体素子をケース等に収納して封止すれば、バイパス・コンデンサ内蔵の半導体装置の製造が終了する。

【0013】このようなバイパス・コンデンサ内蔵の半導体装置の製造方法では、シリコンウエハ20の下面に

第1の電極31及びキャパシタ絶縁膜32を被着するので、個々のチップに分割した後にそれらを被着する方法に比べ、製造工程が簡単となって大量生産が容易になる。しかも、チップ下面にバイパス・コンデンサを形成する方法であるため、MOSFET等といった他の素子特性に悪影響を及ぼさないような製造上の配慮が必要でなくなり、それによって製造工程がより簡単になる。さらに、第2の電極33を導電性樹脂接着剤で構成し、それを用いてチップを導体34上にマウントするので、半導体装置としての構造が簡単になると共に、その製造工程数を削減できる。なお、本発明は図1及び図4の実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(i) 図1及び図4では、第2の電極33を導電性樹脂接着剤で構成しているが、Au-Si等の共晶合金法や半田接着法等に用いられる他の金属膜で置き換えてもよい。また、半導体装置をリードフレーム等の導体34上にマウントしない場合、第2の電極33をNi、Au等の金属膜で形成してもよい。

(ii) 図1及び図4では、高周波用のMOSFETの半導体装置について説明したが、本発明のバイパス・コンデンサは他のFETのICや、バイポーラIC等といった種々の半導体装置に内蔵することが可能である。

【0014】

【発明の効果】以上詳細に説明したように、第1の発明によれば、シリコン基板の他方の表面側にバイパス・コンデンサを形成し、そのバイパス・コンデンサを第1の電極、高誘電体薄膜からなるキャパシタ絶縁膜、及び導電性膜からなる第2の電極によって構成したので、該バイパス・コンデンサを、他の素子や配線等によって形成位置や形成面積に制約を受けることなく、より広い面積で形成することにより、容量をより大きくすることが可能となる。しかも、バイパス・コンデンサがシリコン基板の他方の表面側に形成されているので、他の素子特性に悪影響を及ぼさないような構造上の配慮が必要でなくなり、それによって該バイパス・コンデンサについては半導体装置全体の断面構造を簡単にできる。第2の発明によれば、第2の電極を導電性樹脂接着剤で形成し、該導電性樹脂接着剤によってキャパシタ絶縁膜を導体に接着す

る構成にしたので、該第2の電極としての機能の他に接着剤としての機能も有するので、導体に接着する際の構造が簡単になる。第3の発明によれば、一方の表面側に複数の半導体素子が形成されたシリコンウエハの他方の表面側に、第1の電極及びキャパシタ絶縁膜を形成するようにしたので、バイパス・コンデンサの製造ばらつきが少なくなるばかりか、その大量生産が可能となって該バイパス・コンデンサの製造工程が簡単になる。しかも、シリコンウエハの他方の表面側に第1の電極及びキャパシタ絶縁膜を形成するので、他の半導体素子の素子特性に悪影響を及ぼさないような製造上の配慮が必要でなくなり、それによって製造工程をより簡単化できる。さらに、シリコンウエハから分割されたチップを、導電性樹脂接着剤からなる第2の電極によって導体に接着するようにしたので、その第2の電極の形成工程と接着工程とを1つにでき、それによって製造工程がより簡単になる。

【図面の簡単な説明】

【図1】本発明の実施例を示すバイパス・コンデンサ内蔵の半導体装置の概略の断面図である。

【図2】パッケージに収納された従来の半導体装置の平面図である。

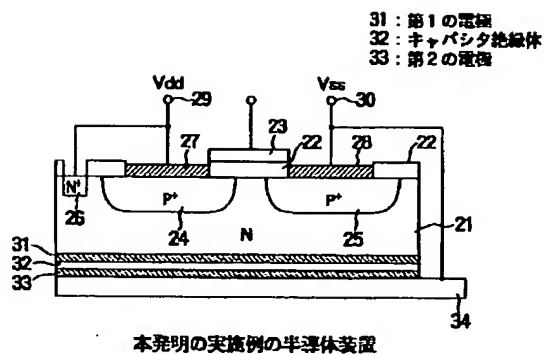
【図3】従来のバイパス・コンデンサ内蔵の半導体装置の回路図である。

【図4】図1に示すバイパス・コンデンサ内蔵の半導体装置の製造工程図である。

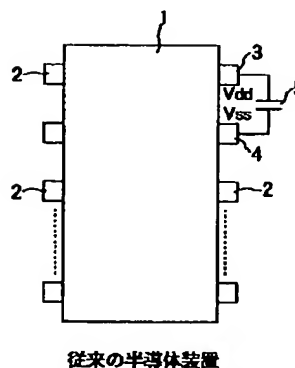
【符号の説明】

20	シリコンウエハ
21	シリコン基板
23	ゲート電極
27	ソース電極
28	ドレイン電極
29	電源端子
30	接地端子
31	第1の電極
32	キャパシタ絶縁膜
33	第2の電極
34	導体

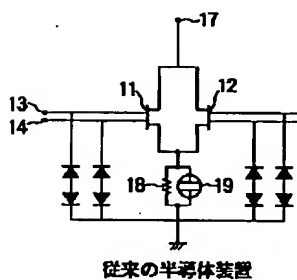
【図1】



【図2】



【図3】



【図4】

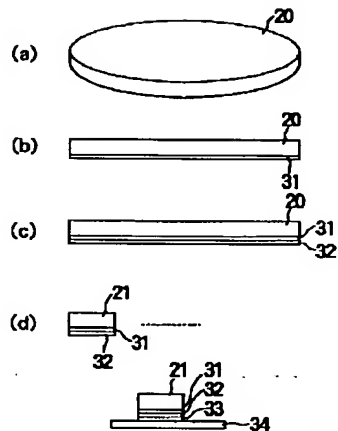


図1の製造工程

フロントページの続き

(72)発明者 宮崎 茂行

東京都狛江市和泉本町1丁目8番1号 キ
ンゼキ株式会社内

(72)発明者 河野 修一

東京都狛江市和泉本町1丁目8番1号 キ
ンゼキ株式会社内